

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-197779

(P2003-197779A)

(43) 公開日 平成15年7月11日 (2003.7.11)

(51) Int.Cl.⁷

識別記号

F I

メモリー (参考)

H 0 1 L 21/8247

H 0 1 L 27/10

4 3 4

5 F 0 8 3

27/115

29/78

3 7 1

5 F 1 0 1

29/788

29/792

審査請求 未請求 請求項の数11 O L (全 23 頁)

(21) 出願番号 特願2001-390993(P2001-390993)

(22) 出願日 平成13年12月25日 (2001.12.25)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 杉前 紀久子

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 竹内 祐司

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100083161

弁理士 外川 英明

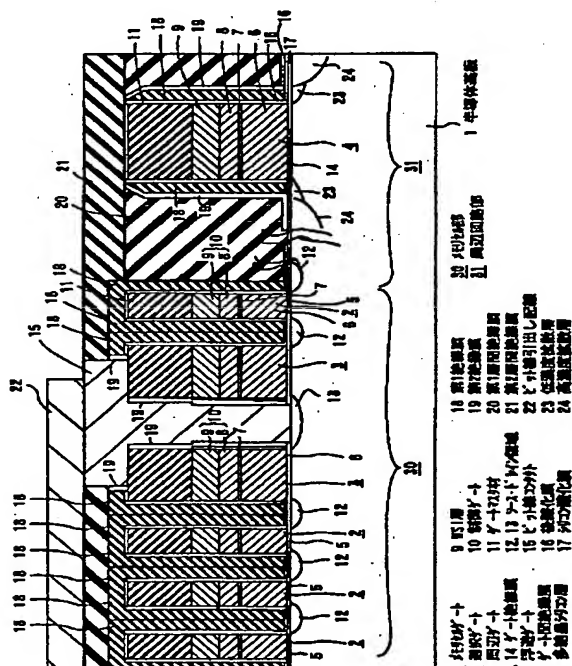
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 高信頼性で高歩留まりの半導体装置及びその製造方法を提供する。

【解決手段】 半導体基板1上に形成されたメモリセルゲート電極2と、このメモリセルゲート電極の2つの側面下の半導体基板中に形成された第1拡散層12と、この第1拡散層及び半導体基板の上に設けられた第3拡散層の上に側面が形成された選択ゲート電極3と、この選択ゲートから離間し、半導体基板上に形成された周辺ゲート電極4と、メモリセルゲート電極間を埋め込み、メモリセルゲート電極、選択ゲート電極及び周辺ゲート電極上に形成され、窒素を主成分としない第1絶縁膜18と、この第1絶縁膜上に形成された第2絶縁膜19と、この第2絶縁膜上に形成され、この第2絶縁膜とは主成分が異なる層間絶縁膜20と、第3拡散層に接続され、第1絶縁膜、第2絶縁膜及び層間絶縁膜中に形成されたコンタクト電極15とを有する半導体装置である。



1

【特許請求の範囲】

【請求項1】半導体基板と、

この半導体基板上に形成された複数のメモリセルゲート電極と、

このメモリセルゲート電極の一方の側面下の前記半導体基板中に形成された第1拡散層と、

前記メモリセルゲート電極の他方の側面下の前記半導体基板中に形成された第2拡散層と、

この第2拡散層及び前記半導体基板中に形成された第3拡散層の上に側面が形成された選択ゲート電極と、

この選択ゲートから離間し、前記半導体基板上に形成された周辺ゲート電極と、

前記メモリセルゲート電極間を埋め込み、かつ、前記メモリセルゲート電極、前記選択ゲート電極及び前記周辺ゲート電極上に形成され、窒素を主成分として含まない第1絶縁膜と、

この第1絶縁膜上に形成された第2絶縁膜と、

この第2絶縁膜上に形成され、この第2絶縁膜とは主成分が異なる層間絶縁膜と、

前記第3拡散層に接続され、前記第1絶縁膜、第2絶縁膜及び層間絶縁膜中に形成されたコンタクト電極とを有することを特徴とする半導体装置。

【請求項2】半導体基板と、

この半導体基板上に複数の設けられ、メモリセルゲートをそれぞれ有するメモリセルトランジスタ、このメモリセルトランジスタを挟んで前記半導体基板上に形成され、前記半導体基板中に設けられた第1拡散層に接する選択ゲートを有する選択トランジスタとを備えた第1メモリセルアレイと、

前記半導体基板上に複数の設けられ、メモリセルゲートをそれぞれ有するメモリセルトランジスタ、このメモリセルトランジスタを挟んで前記半導体基板上に形成され、前記半導体基板中に設けられた第2拡散層に接する選択ゲートを有し、前記第1メモリセルアレイに隣接する選択トランジスタを備えた第2メモリセルアレイと、前記第1メモリセルアレイから離間して、前記半導体基板上に形成され、前記半導体基板中に設けられた第3拡散層に接する複数の周辺ゲートを有する周辺回路部と、前記メモリセルトランジスタ間を埋め込み、前記第1メモリセルアレイ、前記第2メモリセルアレイ間及び周辺回路部の前記半導体基板上に形成され、前記メモリセルゲート間での厚さが前記第1メモリセルアレイ、前記第2メモリセルアレイ間での厚さよりも厚く形成されていて、窒素を主成分として含まない第1絶縁膜と、

この第1絶縁膜上に設けられた第2絶縁膜と、

この第2絶縁膜上に形成され、この第2絶縁膜とは主成分が異なる層間絶縁膜と、

この層間絶縁膜、前記第2絶縁膜、前記第1絶縁膜を貫いて前記第1メモリセルアレイ、前記第2メモリセルアレイ間の前記拡散層に接続されたコンタクト電極とを具備する

2

ことを特徴とする半導体装置。

【請求項3】前記第1絶縁膜に含有される水素の密度は、前記第2絶縁膜に含有される水素の密度よりも小さいことを特徴とする請求項1又は2いずれか1項記載の半導体装置。

【請求項4】前記第1絶縁膜に存在する電荷に対するトラップの密度が前記第2絶縁膜に存在する電荷に対するトラップの密度よりも小さいことを特徴とする請求項1乃至3いずれか1項記載の半導体装置。

10 【請求項5】前記第1絶縁膜は酸化シリコン膜、オキシナイトライド膜又は酸化シリコン窒化膜のいずれかから選ばれた材料であることを特徴とする請求項1乃至4いずれか1項記載の半導体装置。

【請求項6】前記第2絶縁膜は窒化シリコン膜であることを特徴とする請求項1乃至4いずれか1項記載の半導体装置。

【請求項7】半導体基板上に第1ゲート電極層を形成する工程と、

この第1ゲート電極層上に第1絶縁膜を形成する工程

20 と、

この第1絶縁膜上に第2ゲート電極層を形成する工程と、

この第2ゲート電極層、前記第1絶縁膜及び前記第1ゲート電極層を露光方法によって加工して、メモリセル部において、メモリセルゲートを形成し、周辺回路部に周辺回路ゲートを形成する工程と、

前記メモリセルゲート及び前記周辺ゲートをマスクとして、前記半導体基板上に拡散層を形成する工程と、

30 前記メモリセル部の前記メモリセルゲート間では、前記半導体基板上で、ゲート側壁同士が接し、かつ、その上端が隙間無く閉じるように第2絶縁膜を形成し、前記周辺回路部の周辺ゲートにおいては、隣接する他のゲートとの間でゲート側壁同士が離間するように前記第2絶縁膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項8】前記メモリセルゲートを形成する工程において、前記第2ゲート電極層、前記第1絶縁膜及び前記第1ゲート電極層を露光方法によって加工して前記メモリセルゲート内に選択ゲートを形成し、

40 前記第2絶縁膜を形成する工程において、前記メモリセル部の前記選択ゲート間では、前記半導体基板上で、ゲート側壁同士が離間し、かつ、前記半導体基板上表面は被覆するように第2絶縁膜を形成し、

さらに、前記選択トランジスタ-選択トランジスタ間の前記第2絶縁膜を除去する工程と、

前記メモリセル部に、前記メモリセルゲートのゲート端から離間するように第3絶縁膜を形成し、前記周辺回路部の前記周辺ゲート上の前記第2絶縁膜上に第3絶縁膜を形成する工程とをさらに有することを特徴とする請求項7記載の半導体装置の製造方法。

50

3

【請求項 9】半導体基板上に第 1 ゲート電極層を形成する工程と、
 この第 1 ゲート電極層上に第 1 絶縁膜を形成する工程と、
 この第 1 絶縁層上に第 2 ゲート電極層を形成する工程と、
 この第 2 ゲート電極層、前記第 1 絶縁膜及び前記第 1 ゲート電極層を露光方法によって加工して、メモリセル部において、メモリセルゲート及び選択ゲートを形成し、周辺回路部に周辺回路ゲートを形成する工程と、
 前記メモリセル部の前記メモリセルゲート間では、ゲート側壁同士が接し、かつ、その上端が隙間無く閉じるように第 2 絶縁膜を形成し、前記選択ゲートと前記メモリセルゲート間では、前記半導体基板上で、ゲート側壁同士が離間し、かつ、前記半導体基板上表面は被覆するように第 2 絶縁膜を形成する工程と、
 前記選択トランジスタ-選択トランジスタ間の前記第 2 絶縁膜を除去する工程と、
 前記メモリセル部に、前記メモリセルゲートのゲート端から離間するように第 3 絶縁膜を形成し、前記周辺回路部の前記周辺ゲート上の前記第 2 絶縁膜上に第 3 絶縁膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 10】半導体基板上に第 1 ゲート電極層を形成する工程と、
 この第 1 ゲート電極層上に第 1 絶縁膜を形成する工程と、
 この第 1 絶縁層上に第 2 ゲート電極層を形成する工程と、
 この第 2 ゲート電極層、前記第 1 絶縁膜及び前記第 1 ゲート電極層を露光方法によって加工して、メモリセル部において、メモリセルゲートを形成し、周辺回路部に周辺回路ゲートを形成する工程と、
 前記メモリセル部の前記メモリセルトランジスタ及び前記選択トランジスタのゲート材の上に第 2 絶縁膜を形成し、前記メモリセルゲート間では、前記半導体基板上で、ゲート側壁同士が接するように第 2 絶縁膜を形成し、前記周辺回路部の周辺ゲートにおいては、隣接する他のゲートとの間でゲート側壁同士が離間するように前記第 2 絶縁膜を形成する工程と、
 前記選択トランジスタ-選択トランジスタ間の前記第 2 絶縁膜を除去し、同時に周辺回路部における前記周辺トランジスタ及び前記半導体基板上の前記第 2 絶縁膜を除去する工程と、
 前記メモリセル部並びに前記周辺回路部に、メモリセルゲートのゲート端から離間するように第 3 の絶縁膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 11】半導体基板上に、複数の第 1 メモリセルゲート群と、この第 1 メモリセルゲート群を挟んで前

4

記半導体基板上に形成された第 1 選択ゲート対と、前記半導体基板上に複数の第 2 メモリセルゲート群と、この第 2 メモリセルゲート群を挟んで前記半導体基板上に形成された第 2 選択ゲート対と、前記第 1 メモリセルゲート群、前記第 1 選択ゲート対、前記第 2 メモリセルゲート対、及び前記第 2 選択ゲート対から離間して、複数の周辺ゲート群とを形成する工程と、
 前記第 1 メモリセルゲート群、第 1 選択ゲート対、第 2 メモリセルゲート群、第 2 選択ゲート対、及び周辺ゲート群をマスクに前記半導体基板中に複数の拡散層を形成する工程と、
 前記半導体基板全面上に窒素を主成分として含まない第 1 絶縁膜を形成して、第 1 メモリセルゲート群及び前記第 2 メモリセルゲート群のそれぞれのゲート間を埋め込み、かつ、前記第 1 選択ゲート対と前記第 2 選択ゲート対とが隣接する拡散層主要部上及び前記周辺ゲート周辺の前記半導体基板上では、それぞれゲート側壁同士が離間するように前記第 1 絶縁膜を形成する工程と、
 前記選択ゲート間及び前記周辺ゲート周辺の前記第 1 絶縁膜を除去する工程と、
 露出面上に窒素を主成分として含む第 2 絶縁膜を形成する工程と、
 この第 2 絶縁膜上に第 2 絶縁膜に対するエッチング選択比が大きい層間絶縁膜を形成する工程と、
 この層間絶縁膜を前記第 1 選択ゲート対と前記第 2 選択ゲート対が隣接する前記拡散層主要部上でエッチングして、コンタクト開口を形成する工程と、
 このコンタクト開口に導電材を埋め込み、前記第 1 選択ゲート対と前記第 2 選択ゲート対が隣接する前記拡散層と接続する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】メモリセルゲート及び選択ゲートを有するメモリセル部と周辺ゲートを有する周辺回路部とを備えた半導体装置及びその製造方法に係り、特に選択ゲート近傍にコンタクトが形成された半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】従来、半導体メモリとしては例えばデータの書き込み・消去を電気的に行う、EEPROM (Electrically Erasable Programmable Read-Only Memory) が知られている。このEEPROMでは、互いに交差する行線と列線との交点にそれぞれメモリセルが配置されて、メモリセルアレイが構成されている。メモリセルには、通常、浮遊ゲートと制御ゲートとを積層してなる積層ゲート構造のMOSトランジスタが用いられる。

【0003】EEPROMの中でも大容量のメモリに向く方式として図22に示すようなNAND型EEPROMが知られている。ここで、図20は図22の“I-

5

J”線上での断面と周辺回路部の断面を示す図であり、図21は図22の“K-L”線上での断面と周辺回路部の断面を示す図である。

【0004】図20に示されるようにNAND型EEPROMのメモリセルアレイでは複数のメモリセルトランジスタが直列に接続され、その一方側にドレイン側選択ゲートトランジスタ53、他方側にソース側選択ゲートトランジスタ54が接続される。半導体基板50上の一部にはウエル51が設けられ、その中にストライプ状の素子領域55が形成されている。各素子領域55は素子分離領域56により分離されている。素子領域55上に、積層ゲート構造を有する複数のセルトランジスタがマトリクス状に配置されている。選択ゲートトランジスタの外側には周辺回路部があり、その領域には周辺ゲート72が設けられている。

【0005】各メモリセルは、素子領域55上のゲート絶縁膜57上に設けられたゲート電極部52を有しており、ゲート電極部52は、電荷蓄積層となる浮遊ゲート電極58、ゲート間絶縁膜59、制御ゲート電極60、ゲートマスク材70が積層されて構成されている。さらに制御ゲート電極60は行線方向における他のゲート電極との間でそれぞれ共有されて、ワード線61となっている。

【0006】各メモリセルのソースとドレインは素子領域上に設けられた拡散層領域62を介して互いに直列に接続されている。複数のメモリセルが直列に接続されて1つのNANDセル（メモリセルユニット）が形成されている。

【0007】NANDセルの各ビット線方向の両端には、ドレイン側選択ゲートトランジスタ53およびソース側選択ゲートトランジスタ54が接続されている。それぞれの選択ゲートトランジスタはゲート絶縁膜57に設けられたゲート電極を有し、NANDセルとは拡散層領域62を介して接続されている。また選択ゲートトランジスタは浮遊ゲート電極に電位を供給できるようになっており、一般的なMOSFETと同様に機能し、その積層ゲート構造はメモリセルトランジスタと同様である。

【0008】またドレイン側選択ゲートトランジスタの、NANDセルとは反対側の素子領域55中にはビット線コンタクト拡散層62が設けられている。このビット線コンタクト拡散層62には、ビット線コンタクト63が接続されている。このビット線コンタクト63はビット線64に接続されている。

【0009】各ゲート52、53、54表面上には、後酸化膜65が形成されている。この後酸化膜65表面上、拡散層62上、ドレインコンタクト拡散層62上、及びソース側選択ゲート54のメモリセルと反対側のソース拡散層66上には、シリコン窒化膜67が形成されている。このシリコン窒化膜67表面上には、層間絶縁

6

膜68が形成され、その上表面は平坦化されている。

【0010】ここで、ビット線コンタクト63は、ゲート絶縁膜57、シリコン窒化膜67、及び層間絶縁膜68を貫いて形成されていて、ビット線64は層間絶縁膜68上に形成されている。ビット線は、列方向に隣接するNANDセル間で分離されて設けられている。

【0011】またソース側選択ゲートトランジスタの、NANDセルとは反対側に形成されたソース拡散層66は、ソース線である。ソース線は、浮遊ゲートの一端が引き伸ばされた部分にコンタクトが接続され、ゲート電極よりも上層に設けられている。ソース線は、列方向に隣接するNANDセル同士で接続されている。

【0012】周辺ゲート72は浮遊ゲート電極54に電位を供給できるようになっており、一般的なMOSFETと同様に機能し、その積層ゲート構造はメモリセルゲート52と同様である。周辺ゲート下方端部下のウエル51中には、ソース・ドレイン領域73が設けられている。

【0013】次に、図21に示される断面では、半導体基板50上のウエル51中に設けられた素子領域55の上面を分断するように複数の素子分離領域56が形成されている。この素子分離領域56で挟まれた素子領域55全面にビット線コンタクト63が接続されている。素子分離領域56上には、シリコン窒化膜67が形成され、その上には、層間絶縁膜68が形成されている。これら層間絶縁膜68、シリコン窒化膜67を貫いて、ビット線コンタクト68が形成されている。このビット線コンタクト68上にはビット線配線64が形成されている。

【0014】次に、図20乃至図22に示された従来の半導体装置の製造方法を図23乃至図25を用いて説明する。

【0015】まず、図23に示されるように、シリコンからなる半導体基板50上に素子分離領域（図示せず）に囲まれた素子領域55を形成し、その上に、ゲート絶縁膜57、浮遊ゲート電極材58、浮遊ゲート・制御ゲート間絶縁膜59を形成し、その上に制御ゲート電極60、ゲートマスク材70を堆積する。続いてフォトリソグラフィ法によりゲートをパターニングし、エッチングして、メモリセルゲート52、選択ゲート53、54及び周辺ゲート72を形成する。次に、後酸化を行って、後酸化膜65を積層構造のゲート電極周囲に形成する。次に、ソース・ドレイン拡散層を形成するための不純物をイオン注入により行う。

【0016】次に、図24に示されるように、例えば厚さ40nm程度のシリコン窒化膜67を堆積する。このときシリコン窒化膜67はゲート電極側壁も覆うように形成される。さらに層間絶縁膜68を堆積し、CMP（Chemical Mechanical Polishing）法や、熱処理を加えて層間絶縁膜68を流動させ、層間絶縁膜68を平坦

7

化し、またゲート電極間に層間絶縁膜68を埋め込む。

【0017】次に図25に示すように、ドレイン側選択ゲート53に隣接したビット線コンタクト拡散層62にコンタクトをとるためのコンタクトホール71を層間絶縁膜68、シリコン窒化膜67、及びゲート酸化膜57中に形成する。

【0018】次に、続いてコンタクトホール71に金属あるいは低抵抗の半導体を埋め込んだ後に金属配線を形成することによって、図20に示すような半導体装置が完成する。

【0019】以上に示したとおり、従来の半導体装置ではゲート電極形成後に、表面全体を覆うシリコン窒化膜67を形成するようにしている。このシリコン窒化膜67が必要である理由を以下に述べる。

【0020】図21や図22に示したように、ビット線コンタクト63は、素子領域55に対してほとんど余裕がないように設計されている。すなわち、素子領域55の幅一杯にビット線コンタクト63が設けられている。なお、素子領域55の幅よりもビット線コンタクト63の幅が大きい場合もある。これは、セルアレイの面積を

【0021】このような半導体装置においては、コンタクトの形成位置がマスクの位置合わせずれなどの理由により、素子分離領域上にかかってしまうような場合でもビット線コンタクトが素子分離領域へ突き抜けないようにしなければならない。ビット線コンタクトが素子分離領域を突き抜けてしまうと、その部分における接合リーク電流の原因になったり、素子分離耐圧の低下の原因になったりするためである。

【0022】このような現象を防止するために、従来の半導体装置では先に説明した通り、シリコン窒化膜67を用いる。これを用いて、微細化された半導体装置において、コンタクト開口時のエッチングにシリコン酸化膜とシリコン窒化膜の選択性を持たせておくことによって、位置合わせずれが生じていても、いったんエッチングをシリコン窒化膜67の上で止めることができる。

【0023】こうしてシリコン窒化膜67の上に達するコンタクトホールを開口した後、エッチングの条件を切り換えてシリコン窒化膜67をエッチングし、さらに条件を切り換えて基板上のシリコン酸化膜をエッチングすることによって、ソース・ドレイン拡散層の上のコンタクトホール71を完全に開口する。

【0024】このようにして拡散層とのコンタクトをとるためのビット線コンタクトホール71を開口することによって、素子分離領域56が大きくエッチングされるのを防止できる。このようにシリコン窒化膜67がエッチングストッパーとして機能することによりコンタクトホール71が素子分離領域56を突き抜けてしまうことを防止している。

【0025】

8

【発明が解決しようとする課題】以上のような従来の半導体装置では、以下の課題が生じる。

【0026】不揮発性半導体記憶装置などでは、メモリ書き込み・消去の動作時には、制御ゲートとチャネルとの間に強い電界を印加し、ゲート絶縁膜にトンネル電流を流して、浮遊ゲートへ電荷を注入あるいは除去する動作が行われる。このような動作では、ゲート絶縁膜近傍にトンネル電流が流れると、電氣的ストレスが加わることになる。

10 【0027】またシリコン窒化膜中にも電荷に対するトラップが多数存在することが一般に知られている。特にソース・ドレイン拡散層の表面を覆うシリコン窒化膜中のトラップへ電荷が捕獲されると、基板表面付近の拡散層が空乏化し、その結果ソース・ドレインの寄生抵抗が大きくなり、トランジスタのオン電流の低下を招くことがある。またゲート絶縁膜近傍のシリコン窒化膜中に電荷が捕獲されると、トランジスタのしきい値電圧の変動、シリコン酸化膜耐圧の低下といった電気特性の劣化の原因となる。すなわち、狭い間隔で配置されたメモリセルトランジスタのゲート間に誘電率の高い材料が存在すると、電子がトラップされて、電圧が印加されたトランジスタに隣接するトランジスタまで電圧が上昇してしまう問題がある。

【0028】特にNANDフラッシュメモリにおいては、メモリセルトランジスタが16個又は32個など多数個、直列に接続され、近接して配置されている。そのため、微細化が進展すると、特定メモリセルトランジスタの電圧変化が隣接するメモリセルトランジスタへ影響を及ぼし、誤動作や信頼性に問題が出る可能性がある。

30 【0029】ゲート絶縁膜近傍に水素含有量が多い膜があると、水素がシリコン酸化膜中に取り込まれてシリコン基板との界面にSi-H結合などの構造欠陥が生じやすくなる。

【0030】この構造欠陥が電氣的ストレスなどにより切断されると電荷に対するトラップとして作用し、特にゲート絶縁膜となっているシリコン酸化膜、あるいはゲート絶縁膜近傍の後酸化膜などにこのトラップが発生すると、トランジスタの閾値電圧の変動、シリコン酸化膜耐圧の低下といった電気特性の劣化の原因となる。

40 【0031】また、ソース・ドレイン拡散層の表面を覆う後酸化膜のトラップへ電荷が捕獲されると、基板表面付近の拡散層が空乏化し、その結果、ソース・ドレインの寄生抵抗が大きくなり、トランジスタのオン電流の低下を招くことがある。

【0032】またシリコン窒化膜中にも電荷に対するトラップが多数存在することが一般に知られている。特にソース・ドレイン拡散層の表面を覆うシリコン窒化膜中のトラップへ電荷が捕獲されると、基板表面付近の拡散層が空乏化し、その結果、ソース・ドレインの寄生抵抗が大きくなり、トランジスタのオン電流の低下を招くこ

50

とがある。またゲート絶縁膜近傍のシリコン窒化膜中に電荷が捕獲されると、トランジスタのしきい値電圧の変動、シリコン酸化膜耐圧の低下といった電気特性の劣化の原因となる。

【0033】このような課題は、ゲート長が $0.2\mu\text{m}$ 程度よりも小さくなる場合に特に顕著となる。すなわち、ゲート全体に占めるゲート絶縁膜近傍のトラップの発生しているシリコン酸化膜や後酸化膜、シリコン窒化膜の割合が大きい場合に、顕著となる。

【0034】上記のようにコンタクトホールのエッチングのためにシリコン窒化膜が必要である一方、電気特性に対してはシリコン窒化膜の悪影響が見られるため、半導体装置の歩留まりと信頼性の向上を両立させることが困難であった。

【0035】このような問題点に対して、先願である特願2001-75511号では、ゲート加工後にコンタクトホール開口時にエッチングストップとなる第2絶縁膜の下に、別の第1絶縁膜が設けられており、この第1絶縁膜はメモリセルトランジスタのゲート電極相互の間を埋め込むように設けられている。これにより第2絶縁膜中の水素や、第2絶縁膜中に捕獲された電荷が素子の電気特性へ及ぼす影響を軽減することができる。特にメモリセル部ではゲート電極間が第1絶縁膜で埋められており、第2絶縁膜はトランジスタのゲート絶縁膜近傍には存在しないようになっている。そのためメモリセルトランジスタの特性劣化を防止することができ、装置の信頼性向上につながる。すなわち、メモリセルトランジスタのゲート間にシリコン窒化膜を配置することで、ゲート間で高誘電率の膜に電荷がトラップされることを防止できる。

【0036】しかしこのような構造はメモリセル単体では形成可能であるが、同時に形成される周辺トランジスタに関しても第1絶縁膜及び第2絶縁膜が形成されることとなる。周辺トランジスタはメモリセルとは異なり、ホットエレクトロン対策としてのLDD構造あるいは不純物の拡散によるショートチャネル効果の抑制などを行う必要があり、メモリセルトランジスタ間を埋め込む程度の過分に厚い絶縁膜は問題となる。すなわち、ゲート側壁絶縁膜が厚いと、ソース・ドレイン拡散層がゲートからオフセットされてしまい、周辺ゲートのトランジスタ特性の悪化がもたらされてしまう。

【0037】本発明の目的は以上のような従来技術の課題を解決することにある。

【0038】特に、本発明の目的は、高信頼性を有するメモリセルと同時に効率よく周辺トランジスタを形成でき、高信頼性で高歩留まりの半導体装置及びその製造方法を提供することである。

【0039】

【課題を解決するための手段】上記目的を達成するため、本発明の特徴は、半導体基板と、この半導体基板上

に形成された複数個のメモリセルゲート電極と、このメモリセルゲート電極の一方の側面下の前記半導体基板中に形成された第1拡散層と、前記メモリセルゲート電極の他方の側面下の前記半導体基板中に形成された第2拡散層と、この第2拡散層及び前記半導体基板中に形成された第3拡散層の上に側面が形成された選択ゲート電極と、この選択ゲートから離間し、前記半導体基板上に形成された周辺ゲート電極と、前記メモリセルゲート電極間を埋め込み、かつ、前記メモリセルゲート電極、前記選択ゲート電極及び前記周辺ゲート電極上に形成され、窒素を主成分として含まない第1絶縁膜と、この第1絶縁膜上に形成された第2絶縁膜と、この第2絶縁膜上に形成され、この第2絶縁膜とは主成分が異なる層間絶縁膜と、前記第3拡散層に接続され、前記第1絶縁膜、第2絶縁膜及び層間絶縁膜中に形成されたコンタクト電極とを有する半導体装置である。

【0040】本発明の別の特徴は、半導体基板と、この半導体基板上に複数個設けられ、メモリセルゲートをそれぞれ有するメモリセルトランジスタ、このメモリセルトランジスタを挟んで前記半導体基板上に形成され、前記半導体基板中に設けられた第1拡散層に接する選択ゲートを有する選択トランジスタとを備えた第1メモリセルアレイと、前記半導体基板上に複数個設けられ、メモリセルゲートをそれぞれ有するメモリセルトランジスタ、このメモリセルトランジスタを挟んで前記半導体基板上に形成され、前記半導体基板中に設けられた第2拡散層に接する選択ゲートを有し、前記第1メモリセルアレイに隣接する選択トランジスタを備えた第2メモリセルアレイと、前記第1メモリセルアレイから離間して、前記半導体基板上に形成され、前記半導体基板中に設けられた第3拡散層に接する複数の周辺ゲートを有する周辺回路部と、前記メモリセルトランジスタ間を埋め込み、前記第1メモリセルアレイ、前記第2メモリセルアレイ間及び周辺回路部の前記半導体基板上に形成され、前記メモリセルゲート間での厚さが前記第1メモリセルアレイ、前記第2メモリセルアレイ間での厚さよりも厚く形成されていて、窒素を主成分として含まない第1絶縁膜と、この第1絶縁膜上に設けられた第2絶縁膜と、この第2絶縁膜上に形成され、この第2絶縁膜とは主成分が異なる層間絶縁膜と、この層間絶縁膜、前記第2絶縁膜、前記第1絶縁膜を貫いて前記第1メモリセルアレイ、前記第2メモリセルアレイ間の前記拡散層に接続されたコンタクト電極とを具備する半導体装置である。

【0041】本発明の別の特徴は、半導体基板上に第1ゲート電極層を形成する工程と、この第1ゲート電極層上に第1絶縁膜を形成する工程と、この第1絶縁膜上に第2ゲート電極層を形成する工程と、この第2ゲート電極層、前記第1絶縁膜及び前記第1ゲート電極層を露光方法によって加工して、メモリセル部において、メモリセルゲートを形成し、周辺回路部に周辺回路ゲートを形

11

成する工程と、前記メモリセルゲート及び前記周辺ゲートをマスクとして、前記半導体基板上に拡散層を形成する工程と、前記メモリセル部の前記メモリセルゲート間では、前記半導体基板上で、ゲート側壁同士が接し、かつ、その上端が隙間無く閉じるように第2絶縁膜を形成し、前記周辺回路部の周辺ゲートにおいては、隣接する他のゲートとの間でゲート側壁同士が離間するように前記第2絶縁膜を形成する工程とを有する半導体装置の製造方法である。

【0042】本発明の別の特徴は、半導体基板上に第1ゲート電極層を形成する工程と、この第1ゲート電極層上に第1絶縁膜を形成する工程と、この第1絶縁層上に第2ゲート電極層を形成する工程と、この第2ゲート電極層、前記第1絶縁膜及び前記第1ゲート電極層を露光方法によって加工して、メモリセル部において、メモリセルゲート及び選択ゲートを形成し、周辺回路部に周辺回路ゲートを形成する工程と、前記メモリセル部の前記メモリセルゲート間では、ゲート側壁同士が接し、かつ、その上端が隙間無く閉じるように第2絶縁膜を形成し、前記選択ゲートと前記メモリセルゲート間では、前記半導体基板上で、ゲート側壁同士が離間し、かつ、前記半導体基板上表面は被覆するように第2絶縁膜を形成する工程と、前記選択トランジスタ-選択トランジスタ間の前記第2絶縁膜を除去する工程と、前記メモリセル部に、前記メモリセルゲートのゲート端から離間するように第3絶縁膜を形成し、前記周辺回路部の前記周辺ゲート上の前記第2絶縁膜上に第3絶縁膜を形成する工程とを有する半導体装置の製造方法である。

【0043】本発明の別の特徴は、半導体基板上に第1ゲート電極層を形成する工程と、この第1ゲート電極層上に第1絶縁膜を形成する工程と、この第1絶縁層上に第2ゲート電極層を形成する工程と、この第2ゲート電極層、前記第1絶縁膜及び前記第1ゲート電極層を露光方法によって加工して、メモリセル部において、メモリセルゲートを形成し、周辺回路部に周辺回路ゲートを形成する工程と、前記メモリセル部の前記メモリセルトランジスタ及び前記選択トランジスタのゲート材の上に第2絶縁膜を形成し、前記メモリセルゲート間では、前記半導体基板上で、ゲート側壁同士が接するように第2絶縁膜を形成し、前記周辺回路部の周辺ゲートにおいては、隣接する他のゲートとの間でゲート側壁同士が離間するように前記第2絶縁膜を形成する工程と、前記選択トランジスタ-選択トランジスタ間の前記第2絶縁膜を除去し、同時に周辺回路部における前記周辺トランジスタ及び前記半導体基板上の前記第2絶縁膜を除去する工程と、前記メモリセル部並びに前記周辺回路部に、メモリセルゲートのゲート端から離間するように第3の絶縁膜を形成する工程とを有する半導体装置の製造方法である。

【0044】本発明の別の特徴は、半導体基板上に、複

12

数個の第1メモリセルゲート群と、この第1メモリセルゲート群を挟んで前記半導体基板上に形成された第1選択ゲート対と、前記半導体基板上に複数個の第2メモリセルゲート群と、この第2メモリセルゲート群を挟んで前記半導体基板上に形成された第2選択ゲート対と、前記第1メモリセルゲート群、前記第1選択ゲート対、前記第2メモリセルゲート対、及び前記第2選択ゲート対から離間して、複数個の周辺ゲート群とを形成する工程と、前記第1メモリセルゲート群、第1選択ゲート対、第2メモリセルゲート群、第2選択ゲート対及び周辺ゲート群をマスクに前記半導体基板中に複数個の拡散層を形成する工程と、前記半導体基板全面上に窒素を主成分として含まない第1絶縁膜を形成して、第1メモリセルゲート群及び前記第2メモリセルゲート群のそれぞれのゲート間を埋め込み、かつ、前記第1選択ゲート対と前記第2選択ゲート対が隣接する拡散層主要部上及び前記周辺ゲート周辺の前記半導体基板上では、それぞれゲート側壁同士が離間するように前記第1絶縁膜を形成する工程と、前記選択ゲート間及び前記周辺ゲート周辺の前記第1絶縁膜を除去する工程と、露出面上に窒素を主成分として含む第2絶縁膜を形成する工程と、この第2絶縁膜上に第2絶縁膜に対するエッチング選択比が大きい層間絶縁膜を形成する工程と、この層間絶縁膜を前記第1選択ゲート対と前記第2選択ゲート対が隣接する前記拡散層主要部上でエッチングして、コンタクト開口を形成する工程と、このコンタクト開口に導電材を埋め込み、前記第1選択ゲート対と前記第2選択ゲート対が隣接する前記拡散層と接続する工程とを有する半導体装置の製造方法である。

【0045】

【発明の実施の形態】（第1の実施の形態）本実施の形態を図1乃至図10を用いてNANDフラッシュメモリに適用して説明する。図1に断面構造が示されるように、メモリセル部30において、半導体基板1上に図中左右方向に複数本のメモリセルゲート2が配置されている。このメモリセルゲート2を間に挟むように選択ゲート3が形成されている。さらに、選択ゲート3から離間して、半導体基板1上に周辺回路部31の周辺ゲート4が形成されている。なお、半導体基板1の上部には、図示されないがウエルが形成されていてもよい。

【0046】1つのメモリセルゲート2は、半導体基板1上のゲート絶縁膜5上に設けられている。このゲート絶縁膜5上に、電荷蓄積層となる浮遊ゲート電極6、浮遊ゲート6上に形成されたゲート間絶縁膜7、ゲート間絶縁膜7上に形成された多結晶シリコン層8とWSi層9からなる制御ゲート電極10、この制御ゲート10上に形成されたSiN層からなるゲートマスク材11をメモリセルゲート2は有している。各メモリセルのソース・ドレイン領域12はメモリセルゲート2下方端部の半導体基板1中に設けられている。同一メモリセル内で

は、メモリセルトランジスタは各々素子領域上に設けられたソース・ドレイン領域12を介して互いに直列に接続されている。複数のメモリセルが直列に接続されて1つのメモリセルアレイであるNANDセル（メモリセルユニット）が形成されている。また、ゲート絶縁膜5はシリコン酸化膜又は酸化窒化膜であり、ゲート間絶縁膜7はシリコン酸化膜である。

【0047】さらにメモリセルアレイの端には、選択ゲート3がゲート絶縁膜5上に形成されている。この選択ゲート3はメモリセルゲート2と同様の積層構造となっているが、各層の幅がメモリセルゲートよりも大きく形成されている。選択ゲートのメモリセルと反対側の半導体基板中には、選択トランジスタのソース・ドレイン領域13が形成されていて、ビット線コンタクト拡散層となっている。

【0048】さらにメモリセル部30の端に隣接して、周辺回路部31が設けられていて、周辺トランジスタが設けられている。周辺トランジスタは半導体基板上に設けられたゲート絶縁膜14上に周辺ゲート4が設けられている。この周辺ゲート4はメモリセルゲート2と同様の積層構造となっているが、各層の幅がメモリセルゲート2や選択ゲート3よりも大きく形成されている。

【0049】また、選択ゲート3及び周辺ゲート4は浮遊ゲート電極6に電位を供給できるようになっており、一般的なMOSFETと同様に機能する。この場合、図2に示されるように選択ゲート3及び周辺ゲート4において、ゲート間絶縁膜7には開口25が設けられ、浮遊ゲート電極6、多結晶シリコン層8、及びWSi層9が電気的に接続される構造となってもよい。また、選択トランジスタのソース・ドレイン領域13にはビット線コンタクト電極15が設けられている。

【0050】ここで、メモリセルゲート2、選択ゲート3、周辺ゲート4の側面は後酸化膜16で覆われている。半導体基板1上には、シリコン酸化膜17が形成されていて、このシリコン酸化膜17上には、後酸化膜16が形成されている。メモリセルトランジスタの側壁及び上面上、並びに選択ゲートの一方側面及び周辺ゲートの側面上には、第1絶縁膜18が設けられている。第1絶縁膜18の厚さは例えば、約0.05 μ m程度以上であり、窒素を主成分として含有していない。第1絶縁膜18はメモリセルトランジスタのメモリセルゲート2相互の間を埋め込むように設けられている。第1絶縁膜18は水素含有量が少なく、電荷に対するトラップが少ないものが適している。例えばシリコン酸化膜やオキシナイトライド膜や酸化したシリコン窒化膜、HTO (High Temperature Oxide) 膜、TEOS膜、BSG膜、BPSG膜などが利用できる。

【0051】ここで、「埋め込む」とは、完全に埋め尽くすことだけを意味するものではなく、内部にボイド、果などの空隙を含んでいてもその作用、効果に変わり

無いので、空隙を含むことも意味する。すなわち、図3に示されるように、メモリセルゲート2相互間の第1絶縁膜18中に空隙（巣）26が設けられていてもよい。この場合、空隙26の上端はすべて第1絶縁膜18で閉じ込められていて、空隙26は第1絶縁膜18から露出していないことが必要である。

【0052】ここで、ゲート電極同士の間隔は例えば、約0.2 μ m程度、ゲート幅は約0.2 μ m程度、高さは約0.6 μ m程度である。ゲート電極相互の間隔は、メモリセルゲート2同士では小さく、ビット線コンタクト15を挟んだ選択ゲート3同士では大きくなっている。メモリセルゲート2同士のゲート電極の間隔はメモリセルアレイ全体の面積に強くかわるため、面積縮小のために間隔を小さくしている。一方で、隣接するメモリセルアレイの選択ゲート間はビット線コンタクトが形成されているため、間隔が広くとられている。

【0053】選択ゲート3の第1絶縁膜18が形成されていない側面及び周辺ゲート4の側面の第1絶縁膜上には、第2絶縁膜19が設けられている。第2絶縁膜19の厚さは例えば、約0.02から0.06 μ m程度であり、第2絶縁膜19は窒化膜を主成分としていて、水素供給元になるので、なるべく薄いことが望ましい。第2絶縁膜19は、第1絶縁膜18よりも水素含有量が多く、電荷に対するトラップが多い。

【0054】周辺回路部31において、この第2絶縁膜19の上には、第1層間絶縁膜20が設けられている。ここで、第1層間絶縁膜20の厚さは約0.1 μ m～0.3 μ m程度である。第1層間絶縁膜20は、TEOS膜で形成できる。また、メモリセル部30において、第1絶縁膜18の上及び周辺回路部の第1層間絶縁膜20及び周辺ゲート4上に第2層間絶縁膜21が形成されている。この第2層間絶縁膜21はBPSG（ホウ素を含むシリコン酸化膜）で形成できる。

【0055】ここで、ビット線コンタクト15上には、ビット線引出し配線22が設けられている。NANDセルのトランジスタの個数は16個から32個まで任意の数のメモリセルトランジスタが2つの制御ゲートに挟まれて形成されている。また、メモリセルゲート間距離は、約0.2 μ m以下の場合に、本実施の形態の効果が顕著である。

【0056】本実施の形態では隣り合う選択ゲート3間のコンタクトホール開口時にエッチングストッパーとなる第2絶縁膜19の下に、第1絶縁膜18が設けられており、メモリセルゲート2同士の間の距離は比較的小さいため、第1絶縁膜18によってメモリセルゲート2同士の間は、完全に埋め込まれている。また、選択ゲート3同士の間の距離は、メモリセルゲート2同士の距離よりも大きく、第1絶縁膜18は設けられていない。

【0057】周辺ゲート4端部下の半導体基板1中には低濃度ソース・ドレイン拡散層23が設けられ、その外

15

側の半導体基板1中には、高濃度ソース・ドレイン拡散層24が設けられている。

【0058】本実施の形態の半導体装置では、第1絶縁膜18を第2絶縁膜19の下層に設けることで第2絶縁膜19中の水素や、第2絶縁膜19中に捕獲された電荷がトランジスタ素子の電気特性へ及ぼす影響を軽減することができる。すなわち、本実施の形態の半導体装置によれば、コンタクトホール開口のためのエッチングのプロセスマージンを向上させつつ、トランジスタの閾値電圧の変動やゲート絶縁膜における耐圧の低下といった電気特性の劣化を防止することができるため、高信頼性で高歩留まりの半導体装置及びその製造方法を提供することができる。特にメモリセルトランジスタ部ではゲート電極間が第1絶縁膜18で埋められており、第2絶縁膜19はメモリセルゲート2のゲート酸化膜5の近傍には存在しないようになっている。そのためメモリセルトランジスタの特性劣化を防止することができ、半導体装置の信頼性向上が得られる。

【0059】ここで、ワード線であるメモリセルゲート間には、水素含有量の多い窒化膜がないので窒化膜中に電子がトラップされてメモリセル特性が変動してしまうことを防止できる。さらに、選択ゲート3間にあるコンタクト電極を形成する際のエッチング時には、第2絶縁膜19の窒化膜がストップとして機能するため、高信頼性、高歩留まりが得られる。

【0060】次に、本実施の形態の半導体装置の製造方法を図1、図4乃至図10を用いて説明する。まず、図4に示されるように、半導体基板1上にシリコン酸化膜17を設け、順次、浮遊ゲート6、ゲート間絶縁膜7、多結晶シリコン層8、WSi層9、ゲートマスク材11を積層し、所定形状に加工してメモリセルゲート2、選択ゲート3及び周辺ゲート4を形成する。次に、ゲート加工時のダメージを回復するための後酸化を行って、後酸化膜16を積層構造の各ゲート電極周囲に形成する。次に、ソース・ドレイン領域12、ビット線コンタクト拡散層となるソース・ドレイン領域13及び周辺ゲート4の低濃度拡散層23を形成するための不純物をイオン注入により行う。この拡散層のイオン注入は、このように後酸化の後に行ってもよいし、前に行っても良い。さらに、後の工程で行われる第1絶縁膜形成後などでも構わない。

【0061】次に、図5に示されるように第1絶縁膜18を露出した部分に形成する。第1絶縁膜18は、メモリセルトランジスタのメモリセルゲート電極2同士の間を完全に埋め込み、かつ、選択ゲート3同士の間には埋め込まない膜厚で形成する。この第1絶縁膜18はメモリセルゲート電極2上及びその間の領域では、その上表面を平坦化する。さらに、選択ゲート3上及び周辺ゲート4上でも第1絶縁膜18の上表面を平坦化する。なお、別の方法として、図6に示されるようにメモ

16

リセルゲート2、選択ゲート3、及び周辺ゲート4上のシリコン窒化膜からなるゲートマスク材11上表面を露出するまで、第1絶縁膜18及び後酸化膜16をCMP法でエッチングし、除去する方法も可能である。

【0062】ここで、メモリセルゲート2間を埋め込んでいる第1絶縁膜18中に空隙があっても、後の工程で熱を加えて酸化することで、流動化させて、空隙を取り除くこともできる。このように、周辺部のトランジスタの周辺ゲート4にスペーサ側壁を設け、メモリセル部のメモリセルゲート2及び選択ゲート3にも同一材料でスペーサ側壁を設ける。こうして、メモリセルの信頼性を向上し、LDD構造を可能とする。また、LDDの高濃度拡散層の濃度を相当程度高濃度化することで、周辺トランジスタを高速動作可能にできる。次に、図5に示された工程の後で、図7に示されるようにメモリセル部30にマスク材33を被覆して、周辺回路部31において、周辺ゲート4の上層であるSiN層11の上端部の第1絶縁膜18をエッチングし、周辺ゲート4上表面から第1絶縁膜18を除去し、側壁上部では、テーパー部34を形成し、マスク材33を除去する。次に、周辺ゲート4周囲の第1絶縁膜18をマスクとして不純物を半導体基板1中にイオン注入して、高濃度拡散層24を形成する。さらに、高濃度拡散層24の形成と同時に、周辺ゲート4周囲の第1絶縁膜18をマスクとして不純物を半導体基板1中に斜めにイオン注入して、周辺ゲート4下の低濃度拡散層23に接するように半導体基板1内に部分的にチャネル不純物領域(図示せず)を形成してもよい。このチャネル不純物領域を形成する際に注入する不純物濃度は高濃度拡散層24形成用不純物のイオン濃度よりは低い濃度として、高濃度拡散層24を打ち消さないようにする。次に、図8に示されるように、メモリセル部30の選択ゲート3ー選択ゲート3間の第1絶縁膜18を除去する。ここで、選択ゲート3上の第1絶縁膜18はその大部分が除去され、メモリセルゲート2に隣接する側の上面の一部にのみ残存する。

【0063】次に、図9に示すように、露出面上全体に第2絶縁膜19を形成する。ここで、第2絶縁膜19としては、ビット線コンタクト15を開口する時の第1層間絶縁膜20のエッチングに対してエッチング耐性を持つ膜を用いる。例えば第1層間絶縁膜20としてシリコン酸化膜を用いる場合には、第2絶縁膜19としてはシリコン窒化膜などを用いる。次に、図10に示すように、例えば、BPSG膜、BSG膜、TEOS膜などからなる第1層間絶縁膜20を堆積し、CMP(Chemical Mechanical Polishing)法や、熱処理を加えて第1層間絶縁膜20を流動させることにより、第1層間絶縁膜20を平坦化して、選択ゲート3間及び周辺ゲート4間に第1層間絶縁膜20を埋め込む。このとき第2絶縁膜19に対して選択性のあるCMPを用いて第1層間絶縁膜20を研磨することによ

17

り平坦化を行っても良い。こうして第2絶縁膜19上で研磨をストップさせる。ここで、メモリセル部30のメモリセルゲート2間に第1層間絶縁膜20は埋め込まれておりそれぞれのゲート2の端では、第1層間絶縁膜20が存在することが必要である。ただし巣(空隙)が生じていてもよく、また、ゲート2の高さより第1層間絶縁膜20が低い位置まで落ちていても構わない。またメモリセル部30の選択ゲート3間はゲート絶縁膜5が消失していても構わない。あるいはメモリセルゲート2間の第1層間絶縁膜20に巣が入っていてもメモリセルゲート2端の半導体基板1に巣が接しなければ問題はな

【0064】次に、選択ゲート3間の第1層間絶縁膜20を除去し、ビット線コンタクト15中に金属あるいは低抵抗の半導体などのコンタクト材料を埋め込んで形成する。こうして第2絶縁膜19の上に達するビット線コンタクト15を開口した後、エッチングの条件を切り換えて第2絶縁膜19をエッチングし、さらに条件を切り換えて第1絶縁膜18及びゲート酸化膜3をエッチングすることによって、ビット線コンタクト拡散層13の上のビット線コンタクト15を完全に開口する。次に、露出している第2絶縁膜19を除去し、図1に示されるように、例えば不純物がドーパされた多結晶シリコンなどからなる第2層間絶縁膜21を露出面上に堆積する。この第2層間絶縁膜をCMP法などを用いて、平坦化する。次に、メモリセル部ならびに周辺部のソース・ドレイン拡散層にコンタクトをとるためのコンタクトホールを形成し、コンタクトホールに金属あるいは低抵抗の半導体などのコンタクト材料を埋め込み、ビット線コンタクト15に接続するようにビット線引出し配線22を第2層間絶縁膜21上に形成し、金属配線を形成することによって、半導体装置が完成する。また、別の方法では、メモリセル部ならびに周辺部のソース・ドレイン拡散層にコンタクトをとるためのコンタクトホールを形成し、コンタクトホールあるいは配線として、金属あるいは低抵抗の半導体などのコンタクト材料を埋め込み、ビット線コンタクト15と、このビット線コンタクト15に接続するようにビット線引出し配線22とを第2層間絶縁膜21上に同時に形成し、金属配線を形成することによって、半導体装置が完成する。この製造方法によればCMPによる平坦化を第2絶縁膜でストップさせることにより、層間絶縁膜の膜厚の制御性を向上させることができる。あるいは各ゲート上のSiN層に対して選択性を持たせた平坦化手法によっても同じように均一性のとれた層間絶縁膜構造が可能になる。

【0065】このように、本実施の形態によれば、不揮発性半導体記憶装置において、ワード線同士の間隔よりも選択ゲートと選択ゲートとの間隔が広くっており、メモリセルアレイ全体が酸化膜と窒化膜との積層膜により覆われている。ワード線間は酸化膜のみで埋め込まれ

18

ており、選択ゲート間には酸化膜と窒化膜が入り込んでいる。その際にメモリセルトランジスタの形成と同時に周辺トランジスタにも絶縁膜、窒化膜等が形成される。このように、本実施の形態ではメモリセルの高信頼性、高歩留まりと同時に効率よく周辺トランジスタを形成することが可能となる。なお、メモリセルゲート13間の第1絶縁膜25中には空隙が生じていても良い。

【0066】本実施の形態では、第1層間絶縁膜20のエッチングに対しての耐性を第2絶縁膜19が有することによって、コンタクトホール形成のためのエッチングを第2絶縁膜19の上でいったん止めることができる。

【0067】また、第2絶縁膜19としてシリコン窒化膜を用いる場合、第1層間絶縁膜20に含まれているホウ素、リン、炭素などが半導体基板1へ拡散するのを防止する役割も持たせることができる。このような不純物が半導体基板1へ拡散してくると素子特性の変動やばらつきの原因となるが、これらはシリコン窒化膜中における拡散係数がきわめて小さいため、シリコン窒化膜によって拡散をブロックすることができる。

【0068】本実施の形態の半導体装置の製造方法によれば、高集積度を持たせて、制御性良くビット線コンタクトを形成でき、トランジスタ特性への水素による悪影響を防止することができる。

【0069】メモリセルトランジスタ間に窒化膜がないので窒化膜中に電子がトラップされてセル特性が変動してしまうのを防止でき、選択ゲートトランジスタ間にあるコンタクトのエッチング時には窒化膜がストップとして機能するため、高信頼性、高歩留まりが得られる。また、メモリセルトランジスタ間に酸化膜が入るため、ワード線間の誘電率が低下し、セル干渉を低減することが可能となる。

【0070】なお、ゲート電極は4層構造に限られるものではなく、3層構造やより多くの積層構造であってもよい。少なくともゲート絶縁膜上に浮遊ゲートが形成され、その上にゲート間絶縁膜が形成され、その上に制御ゲートが形成されていればよい。なお、メモリセルゲート、選択ゲート、周辺ゲートでそれぞれのゲート絶縁膜は異なる厚さに形成されてもよい。特に周辺ゲートのゲート絶縁膜の厚さを他の部分のゲート絶縁膜よりも厚く形成することで、高耐圧トランジスタとして形成できる。

【0071】(第2の実施の形態) 本実施の形態の半導体装置は、以下の点以外の構成では第1の実施の形態同様の構成を有している。第1の実施の形態の半導体装置の構成とは第1絶縁膜18の形状、及び選択ゲート3のビット線コンタクト15周囲のSiN層11の構造が異なっている。すなわち、図11に本実施の形態の半導体装置の断面図が示されるようにメモリセルゲート2間に埋め込まれた第1絶縁膜18の上部は、テーパ状に外側に向けて除去されている。この除去された窪みに

19

は、第2絶縁膜19がV字状に形成されている。この第2絶縁膜19の上には、第1層間絶縁膜20がその上部が平坦化されて、形成されている。さらに、メモリセルゲート2及び選択ゲート3上には、第1絶縁膜18は設けられておらず、これらのゲート上には直接、第2層間絶縁膜21が形成されている。さらに、選択ゲート3はビット線コンタクト15に対向する面において、そのSiN層11の上部がテーパー状に一部除去されている。このため、ビット線コンタクト15は、ゲートマスク材11と比較的大きな面積で接触している。このように形成された半導体装置では、第1の実施の形態と同様な効果を有する。

【0072】次に、本実施の形態の半導体装置の製造方法を図11乃至図15を用いて説明する。第1の実施の形態同様に、図4及び図5に示されるような製造工程を経た後に、図12に示されるように周辺回路部31において、周辺ゲート4の上層であるSiN層11の上端部の第1絶縁膜18をエッチングし、周辺ゲート4上表面から第1絶縁膜18を除去し、側壁上部では、テーパー部34を形成する。同時に、周辺回路部31の半導体基板1上の第1絶縁膜18を除去する。この際、同時にメモリセル部30において、メモリセルゲート2の上層であるSiN層11の上端部の第1絶縁膜18をエッチングし、メモリセルゲート2の上表面から第1絶縁膜18をエッチングし、側壁上部では、テーパー部34を形成する。さらに同時にメモリセル部30において、選択ゲート3の上層であるSiN層11の上端部の第1絶縁膜18をエッチングし、選択ゲート3の上表面から第1絶縁膜18をエッチングし、側壁上部では、テーパー部34を形成する。ここで、第1絶縁膜18は水素含有量が少なく、電荷に対するトラップが少ないものが適している。例えばシリコン酸化膜やオキシナイトライド膜や酸化したシリコン窒化膜、HTO膜、TEOS膜、BSG膜、BPSG膜などが利用できる。

【0073】次に、図13に示されるように、メモリセル部30において、光露光によって隣接する選択ゲート3間の第1絶縁膜18及び側壁の後酸化膜16を除去して、半導体基板1及び選択ゲート3の側面を選択ゲート3間に露出させる。この際には、選択ゲート3の最上層のゲートマスク材11上の後酸化膜16は、選択ゲート間の露出される半導体基板側で大部分が除去される。

【0074】次に、図14に示されるように、露出面上の全体に対して窒化膜を主成分とする第2絶縁膜19を形成する。

【0075】次に、図15に示されるように、露出面にBSG膜、BPSG膜、TEOS膜などを用いて、選択ゲート3の間や周辺ゲート4の周囲を埋め込むように第1層間絶縁膜20を形成する。次に、第2絶縁膜19をマスクとしてCMP法などにより、第1層間絶縁膜20の上表面を平坦化して、ゲート上の第2絶縁膜19の上

20

面位置と一致させる。次に、露出面の第2絶縁膜19を除去する。次に、露出面上にBPSG膜やTEOS膜などからなる第2層間絶縁膜21を形成する。次に、この第2層間絶縁膜21の上表面をCMP法などを用いて平坦化する。

【0076】次に、図11に示されるように、選択ゲート3間に開口を設け、導電膜を埋め込んで、ビット線コンタクト15を形成し、このビット線コンタクト15に接続するように第2層間絶縁膜上にビット線引出し配線22を形成して、半導体装置を得る。本実施の形態では、メモリセル部に第1の実施の形態のようにマスクを被覆して、周辺部をエッチングする工程がないので、第1の実施の形態に比べて、製造工程数を少なくすることができる。

【0077】（第3の実施の形態）本実施の形態の半導体装置の構造を図16を用いて説明する。以下の点以外の構成では第1の実施の形態同様の構成を有している。第1の実施の形態の半導体装置の構造とは周辺ゲート4周囲に第1絶縁膜18が設けられていない点で、構造が異なっている。すなわち、第2絶縁膜19が後酸化膜16を介して周辺ゲート4の側面に均一な厚さで設けられている。このように形成された半導体装置では、第1の実施の形態と同様な効果を有する。

【0078】次に、本実施の形態の半導体装置の製造方法を図16乃至図19を用いて説明する。第1の実施の形態同様に、図4及び図5に示されるような製造工程を経た後に、図17に示されるように周辺回路部31において、周辺ゲート4周囲の第1絶縁膜18を全てエッチングし、周辺ゲート4の表面から第1絶縁膜18をすべて除去する。同時に、周辺回路部31の半導体基板1上の第1絶縁膜18を除去する。この際、同時にメモリセル部30において、隣接する選択ゲート3間に対向する側面からその対向する側面に近接する上面から第1絶縁膜18をエッチングし、除去する。同時に、メモリセル部30の互いに隣接する選択ゲート4の間の半導体基板1上の第1絶縁膜18を除去する。ここで、第1絶縁膜18は水素含有量が少なく、電荷に対するトラップが少ないものが適している。例えばシリコン酸化膜やオキシナイトライド膜や酸化したシリコン窒化膜などが利用できる。

【0079】次に、図18に示されるように、露出面上の全体に対して窒化膜を主成分とする第2絶縁膜19を形成する。

【0080】次に、図19に示されるように、露出面にTEOS膜などを用いて、選択ゲート3の間や周辺ゲート4の周囲を埋め込むように第1層間絶縁膜20を形成する。次に、第2絶縁膜19をマスクとしてCMP法などにより、第1層間絶縁膜20の上表面を平坦化して、ゲート上の第2絶縁膜19の上面位置と一致させる。次に、露出面の第2絶縁膜19を除去する。次に、露出面

21

上にBPSG膜などからなる第2層間絶縁膜21を形成する。次に、この第2層間絶縁膜21の上表面をCMP法などを用いて平坦化する。

【0081】次に、図16に示されるように、選択ゲート3間に開口を設け、導電膜を埋め込んで、ビット線コンタクト15を形成し、このビット線コンタクト15に接続するように第2層間絶縁膜上にビット線引出し配線22を形成して、半導体装置を得る。本実施の形態では、メモリセル部に第1の実施の形態のようにマスクを被覆して、周辺部をエッチングする工程がないので、第1の実施の形態に比べて、製造工程数を少なくすることができる。

【0082】このような構成にしても第1の実施の形態同様の効果を得ることができる。なお、本実施の形態では、周辺部のゲート端部にシリコン窒化膜があることで特性の劣化が生じる場合があるが、使用年数を限って使用するには差し支えない。

【0083】各実施の形態において、メモリセルゲート電極2同士の間、メモリセルゲート2と選択ゲート電極3との間を埋め込む第1絶縁膜18には空洞があってもかまわない。空洞があっても、膜の上面が閉じていれば、第2絶縁膜19はメモリセルトランジスタのゲート電極間には埋め込まれないので、本発明の効果は変わらない。

【0084】また後酸化膜24は第1の実施の形態に示したように熱酸化によるものでも構わないし、酸化膜などを堆積することで兼ねてもかまわない。また第3の実施の形態のように後酸化膜がなくても構わない。

【0085】上記のように、各実施の形態によれば、メモリセルトランジスタのゲート間を厚い酸化膜で埋め込み、周辺部とメモリ部を同時に製造することで、製造工程数を減らすことができる。

【0086】各実施の形態は、上記した以外にも適宜、組み合わせて実施することができる。すなわち、直列にゲートが複数個接続されて、ゲート間にコンタクトがない構造であれば各実施の形態は適用可能である。特に、素子領域に対して余裕の無いコンタクトを有し、ゲート酸化膜にトンネル電流を流すような強い電気的ストレスが印加される不揮発性半導体記憶装置に対して、各実施の形態は好適である。

【0087】

【発明の効果】本発明によれば、高信頼性を有するメモリセルと同時に効率よく周辺トランジスタを形成でき、高信頼性で高歩留まりの半導体装置及びその製造方法を提供することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態に係る半導体装置の構造を示す断面図。

【図2】 本発明の第1の実施の形態に係る半導体装置の構造の第1変形例の構造を示す断面図。

22

【図3】 本発明の第1の実施の形態に係る半導体装置の構造の第2変形例の構造を示す断面図。

【図4】 本発明の第1の実施の形態に係る半導体装置の製造方法を示す一工程の断面図。

【図5】 本発明の第1の実施の形態に係る半導体装置の製造方法を示す一工程の断面図。

【図6】 本発明の第1の実施の形態に係る半導体装置の製造方法を示す一工程の断面図である図5の工程の変形例を示す断面図。

【図7】 本発明の第1の実施の形態に係る半導体装置の製造方法を示す一工程の断面図。

【図8】 本発明の第1の実施の形態に係る半導体装置の製造方法を示す一工程の断面図。

【図9】 本発明の第1の実施の形態に係る半導体装置の製造方法を示す一工程の断面図。

【図10】 本発明の第1の実施の形態に係る半導体装置の製造方法を示す一工程の断面図。

【図11】 本発明の第2の実施の形態に係る半導体装置の構造を示す断面図。

【図12】 本発明の第2の実施の形態に係る半導体装置の製造方法を示す一工程の断面図。

【図13】 本発明の第2の実施の形態に係る半導体装置の製造方法を示す一工程の断面図。

【図14】 本発明の第2の実施の形態に係る半導体装置の製造方法を示す一工程の断面図。

【図15】 本発明の第2の実施の形態に係る半導体装置の製造方法を示す一工程の断面図。

【図16】 本発明の第3の実施の形態に係る半導体装置の構造を示す断面図。

【図17】 本発明の第3の実施の形態に係る半導体装置の製造方法を示す一工程の断面図。

【図18】 本発明の第3の実施の形態に係る半導体装置の製造方法を示す一工程の断面図。

【図19】 本発明の第3の実施の形態に係る半導体装置の製造方法を示す一工程の断面図。

【図20】 従来の半導体装置を示す平面図である図2における“I-J”線上での断面図。

【図21】 従来の半導体装置を示す平面図である図2における“K-L”線上での断面図。

【図22】 従来の半導体装置を示す平面図。

【図23】 従来の半導体装置の製造方法の一工程を示す断面図。

【図24】 従来の半導体装置の製造方法の一工程を示す断面図。

【図25】 従来の半導体装置の製造方法の一工程を示す断面図。

【符号の説明】

1 半導体基板

2 メモリセルゲート

3 選択ゲート

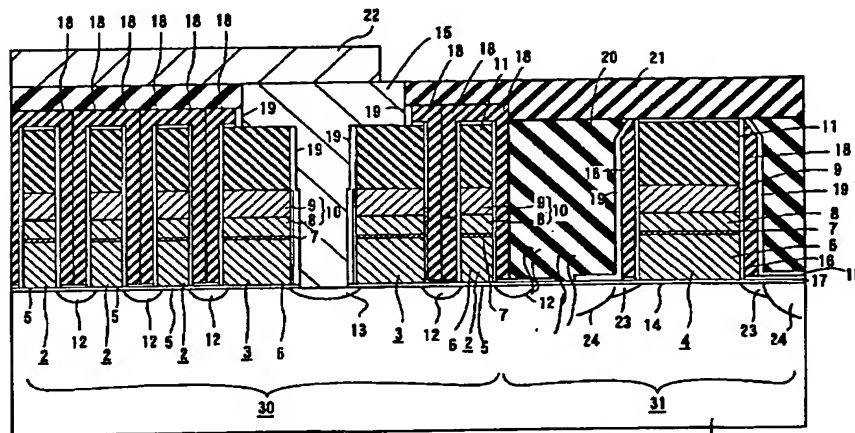
23

- 4 周辺ゲート
 5、14 ゲート絶縁膜
 6 浮遊ゲート
 7 ゲート間絶縁膜
 8 多結晶シリコン層
 9 WSi層
 10 制御ゲート
 11 ゲートマスク材
 12、13 ソース・ドレイン領域
 15 ビット線コンタクト
 16 後酸化膜
 17 シリコン酸化膜
 18 第1絶縁膜

- * 19 第2絶縁膜
 20 第1層間絶縁膜
 21 第2層間絶縁膜
 22 ビット線引出し配線
 23 低濃度拡散層
 24 高濃度拡散層
 25 開口
 26 空隙(巣)
 30 メモリセル部
 31 周辺回路部
 33 マスク材
 34 テーパー部

*

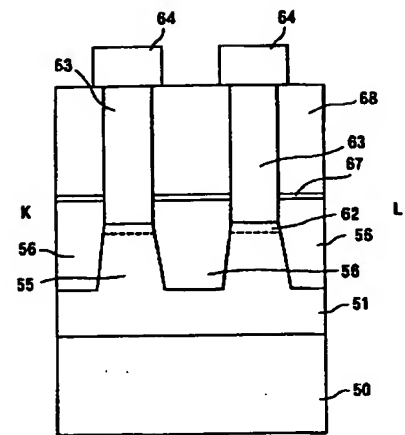
【図1】



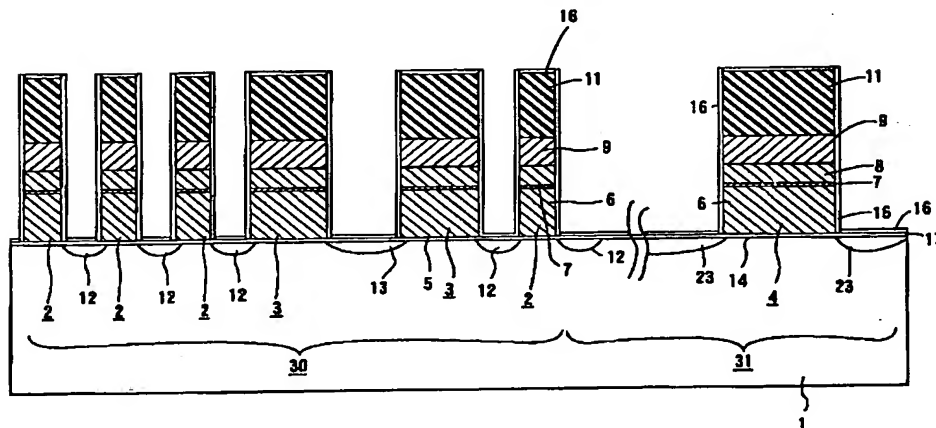
- 2 周辺ゲート
 3 周辺ゲート
 4 周辺ゲート
 5、14 ゲート絶縁膜
 6 浮遊ゲート
 7 ゲート間絶縁膜
 8 多結晶シリコン層
 9 WSi層
 10 制御ゲート
 11 ゲートマスク材
 12、13 ソース・ドレイン領域
 15 ビット線コンタクト
 16 後酸化膜
 17 シリコン酸化膜
 18 第1絶縁膜
 19 第2絶縁膜
 20 第1層間絶縁膜
 21 第2層間絶縁膜
 22 ビット線引出し配線
 23 低濃度拡散層
 24 高濃度拡散層
 30 メモリセル部
 31 周辺回路部
 1 半導体基板

24

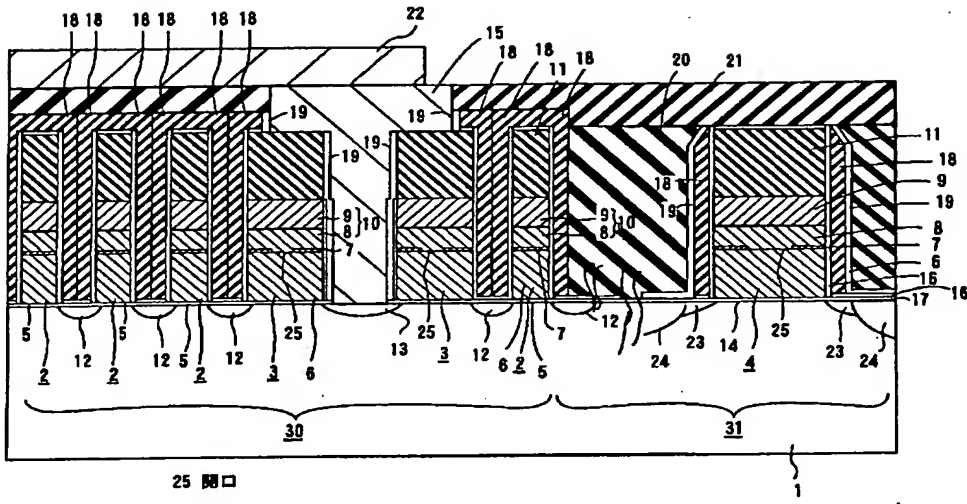
【図21】



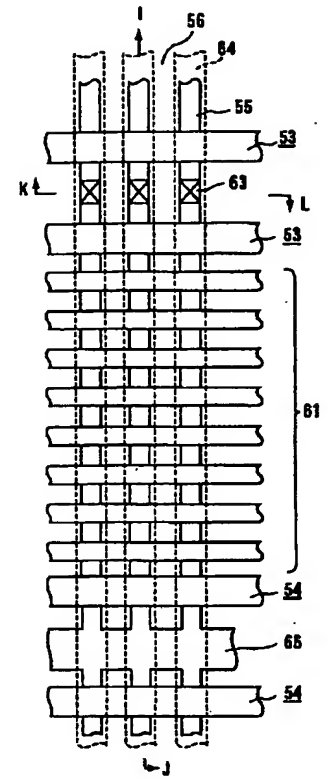
【図4】



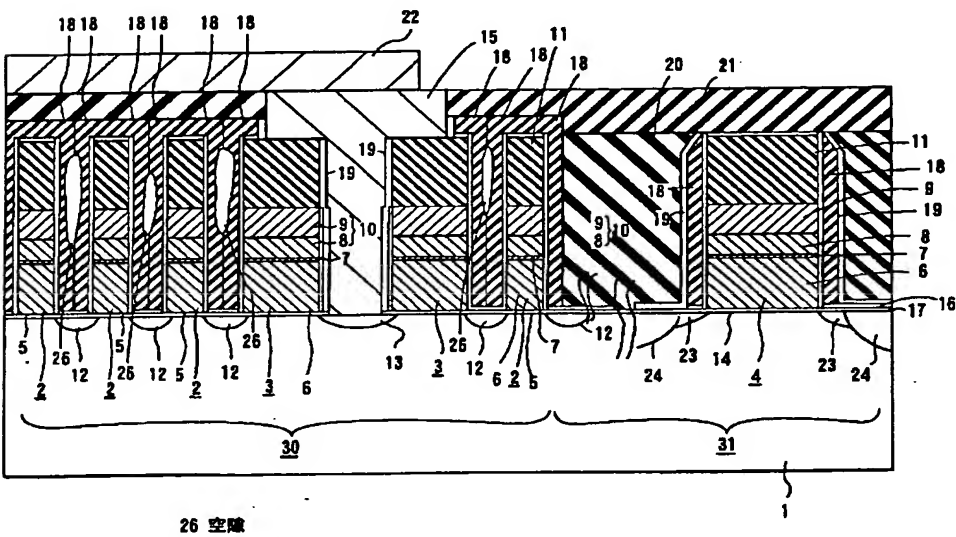
【図2】



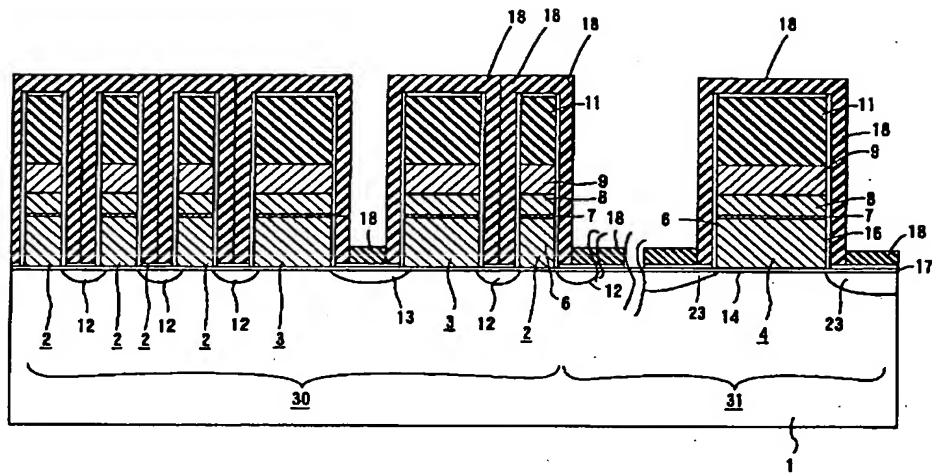
【図22】



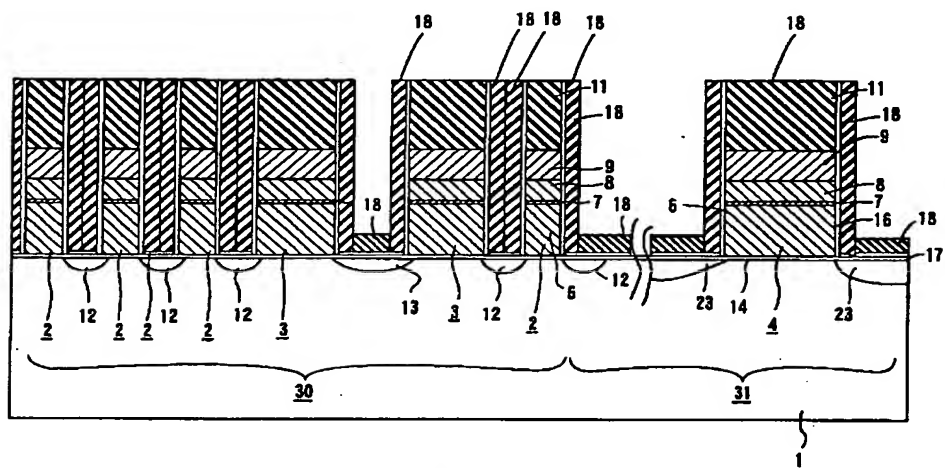
【図3】



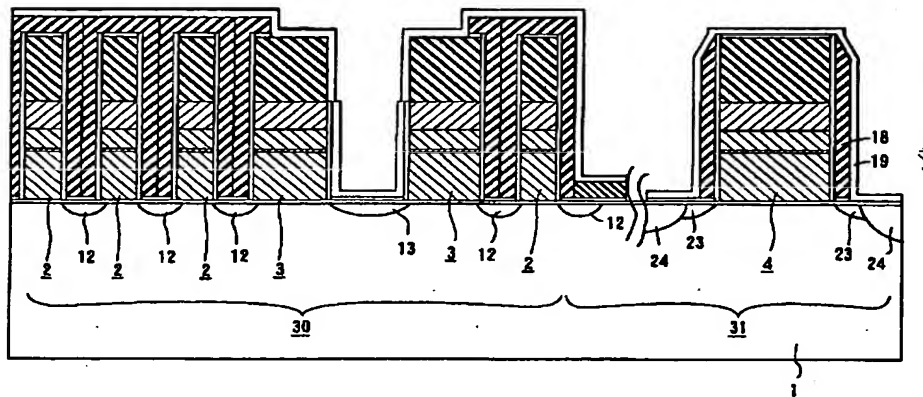
【図5】



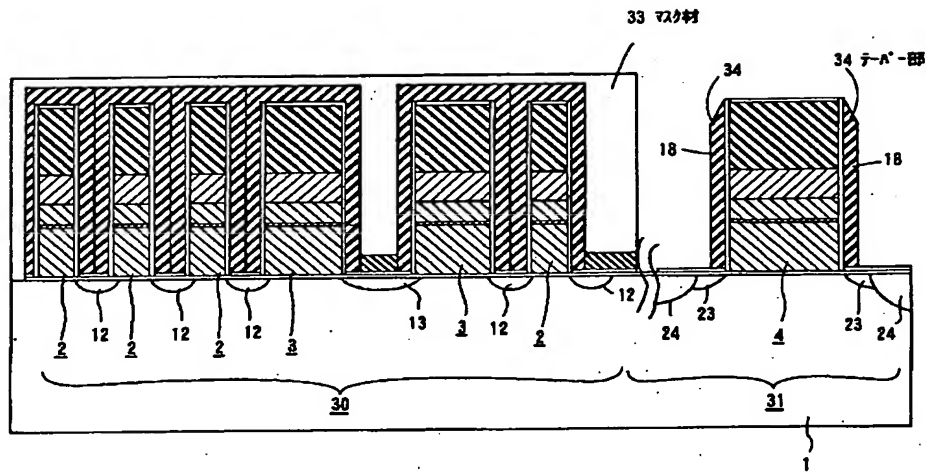
【図6】



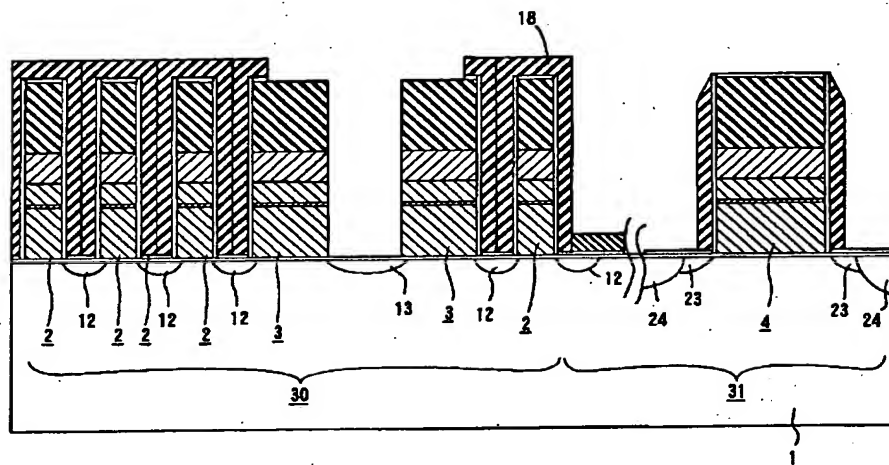
【図9】



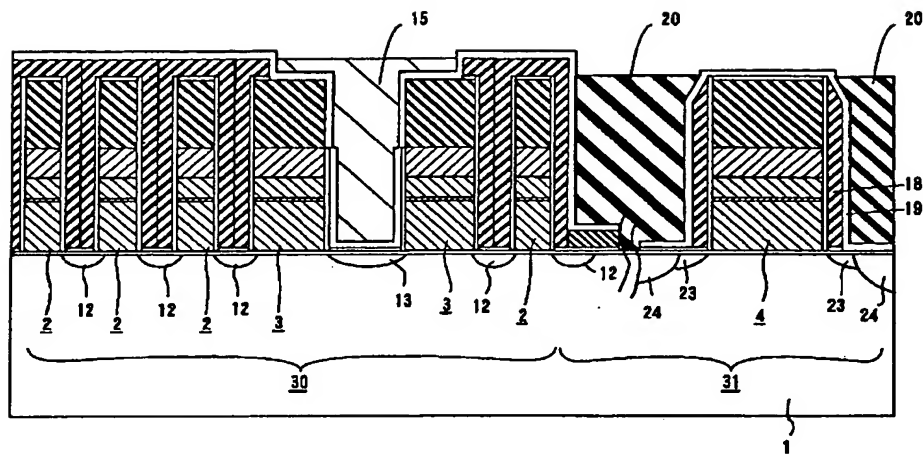
【図 7】



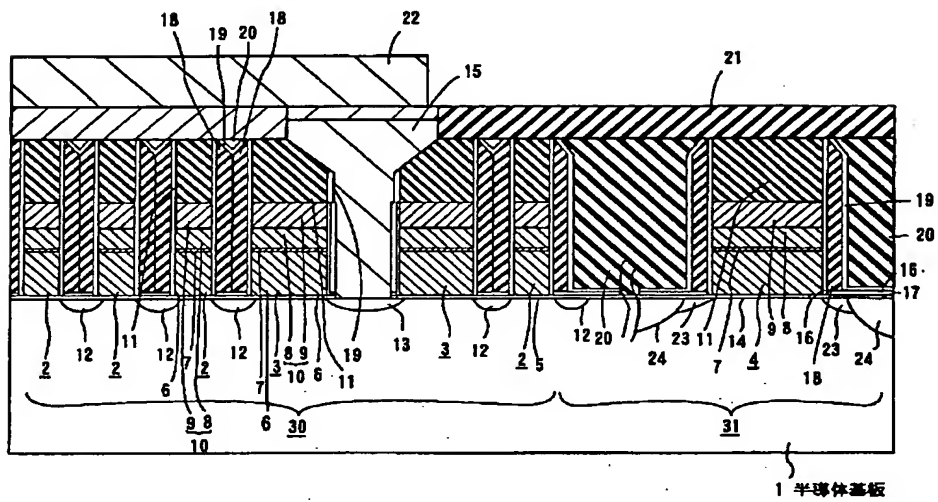
【図 8】



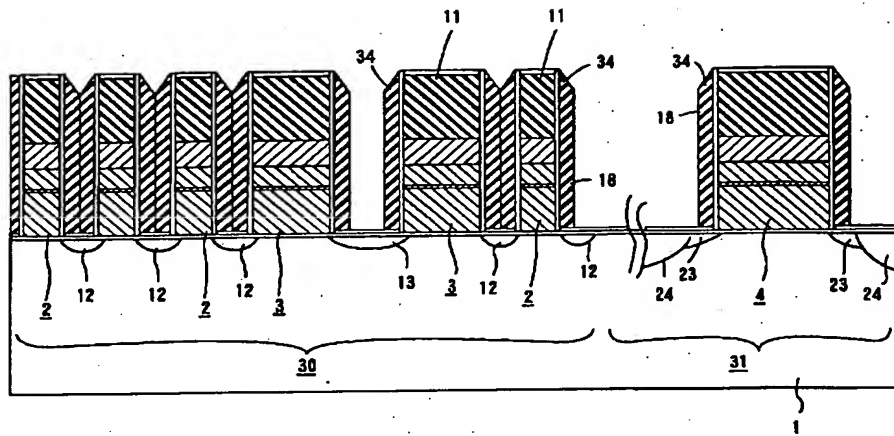
【図10】



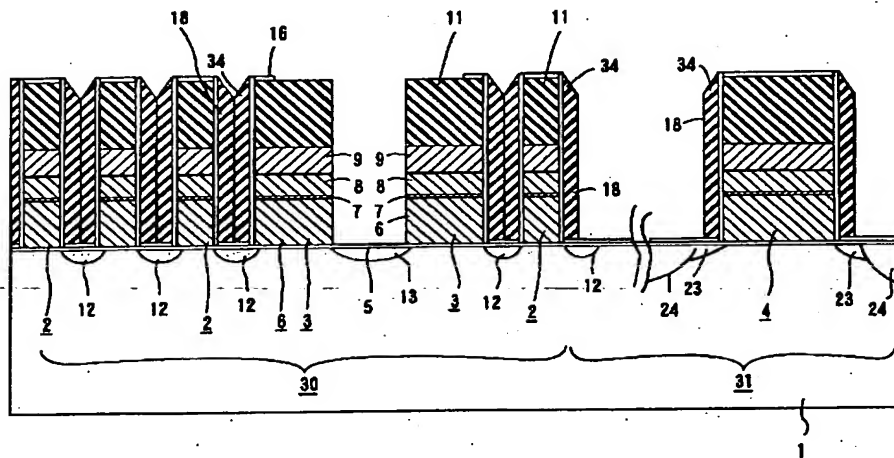
【図11】



【図 12】

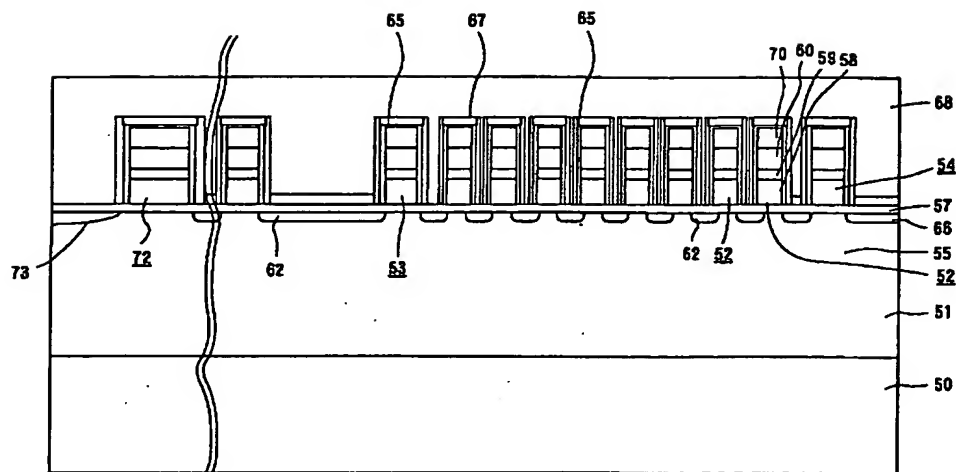


【図 13】

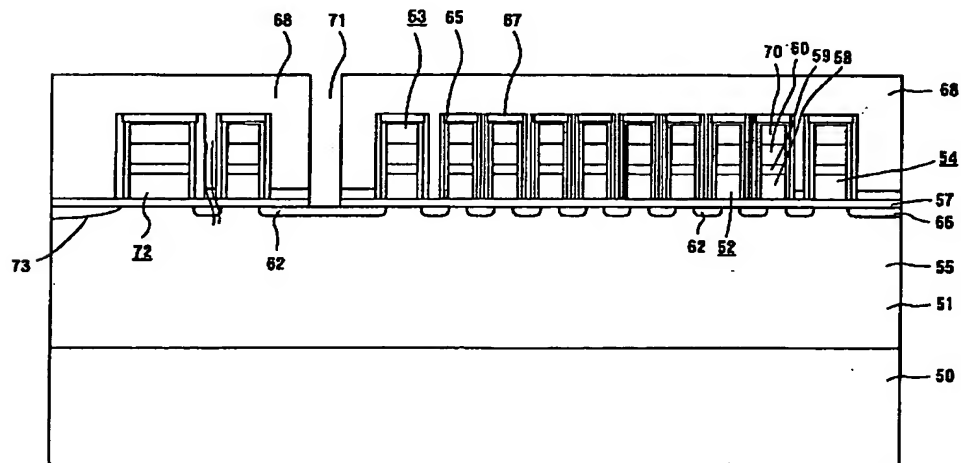


[illegible][illegible]

【図24】



【図25】



フロントページの続き

(72)発明者 市毛 正之
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

Fターム(参考) 5F083 EP02 EP23 EP33 EP76 ER03
ER14 GA21 JA35 JA39 JA56
MA02 MA20 PR40 ZA07
5F101 BA01 BB02 BC02 BD02 BD34
BF03